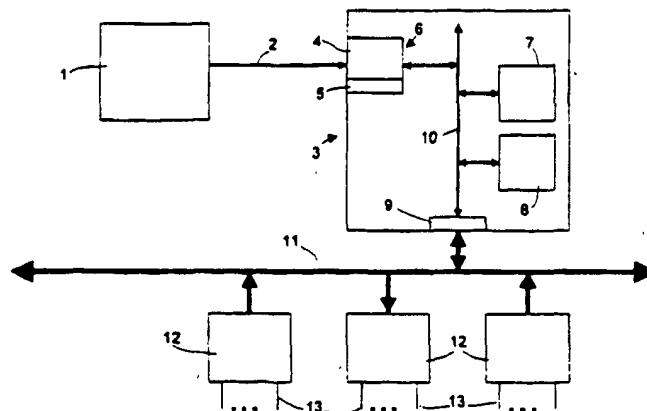




<p>(51) Internationale Patentklassifikation ⁶ : G06F 12/02</p>	A1	<p>(11) Internationale Veröffentlichungsnummer: WO 97/08619</p> <p>(43) Internationales Veröffentlichungsdatum: 6. März 1997 (06.03.97)</p>
<p>(21) Internationales Aktenzeichen: PCT/DE96/01541</p> <p>(22) Internationales Anmeldedatum: 19. August 1996 (19.08.96)</p> <p>(30) Prioritätsdaten: 295 13 792.4 28. August 1995 (28.08.95) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).</p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): RENSCHLER, Albert [DE/DE]; Josef-Stöhrer-Weg 11, D-76275 Enlingen (DE).</p>		<p>(81) Bestimmungsstaaten: CN, CZ, HU, JP, KR, PL, SG, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Veröffentlicht <i>Mit internationalem Recherchenbericht.</i></p>

(54) Title: **PROCESSOR UNIT WITH PLUG-IN MEMORY**

(54) Bezeichnung: **PROZESSOREINHEIT MIT STECKBAREM SPEICHER**



(57) Abstract

A processor unit has a processor (7) and a memory module (6) that may be plugged into the processor unit. This processor unit (3) allows a more flexible use of the memory module. For that purpose, the memory module is subdivided into two zones, of which one may be operated as an EPROM and the other as a RAM. The processor unit (3) has means that automatically adjust the limits between both zones depending on instructions that may be given by the processor unit (3). The invention is used in stored-program controllers.

(57) Zusammenfassung

Es wird eine Prozessoreinheit mit einem Prozessor (7) und einem in die Prozessoreinheit steckbaren Speichermodul (6) vorgeschlagen, welche eine flexiblere Nutzung des Speichermoduls ermöglicht. Dazu ist das Speichermodul in zwei Bereiche einteilbar, von denen ein Bereich in einer EPROM-Betriebsart und der andere Bereich in einer RAM-Betriebsart betreibbar ist, wobei die Prozessoreinheit (3) mit Mitteln versehen ist, welche nach Maßgabe von der Prozessoreinheit (3) zuführbaren Anweisungen die Grenze zwischen den Bereichen automatisch einstellen. Die Erfindung wird in speicherprogrammierbaren Steuerungen angewandt.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AM	Armenien	GB	Vereinigtes Königreich	MX	Mexiko
AT	Österreich	GE	Georgien	NE	Niger
AU	Australien	GN	Guinea	NL	Niederlande
BB	Barbados	GR	Griechenland	NO	Norwegen
BE	Belgien	HU	Ungarn	NZ	Neuseeland
BF	Burkina Faso	IE	Irland	PL	Polen
BG	Bulgarien	IT	Italien	PT	Portugal
BJ	Benin	JP	Japan	RO	Rumänien
BR	Brasilien	KE	Kenya	RU	Russische Föderation
BY	Belarus	KG	Kirgisistan	SD	Sudan
CA	Kanada	KP	Demokratische Volksrepublik Korea	SE	Schweden
CF	Zentrale Afrikanische Republik	KR	Republik Korea	SG	Singapur
CG	Kongo	KZ	Kasachstan	SI	Slowenien
CH	Schweiz	LI	Liechtenstein	SK	Slowakei
CI	Côte d'Ivoire	LK	Sri Lanka	SN	Senegal
CM	Kamerun	LR	Liberia	SZ	Swasiland
CN	China	LK	Litauen	TD	Tschad
CS	Tschechoslowakei	LU	Luxemburg	TG	Togo
CZ	Tschechische Republik	LV	Lettland	TJ	Tadschikistan
DE	Deutschland	MC	Monaco	TT	Trinidad und Tobago
DK	Dänemark	MD	Republik Moldau	UA	Ukraine
EE	Estland	MG	Madagaskar	UG	Uganda
ES	Spanien	ML	Mali	US	Vereinigte Staaten von Amerika
FI	Finnland	MN	Mongolei	UZ	Usbekistan
FR	Frankreich	MR	Mauretanien	VN	Vietnam
GA	Gabon	MW	Malawi		

PROZESSOREINHEIT MIT STECKBAREM SPEICHER

5 Die Erfindung betrifft eine Prozessoreinheit mit einem Prozessor und einem in die Prozessoreinheit steckbaren Speichermodul.

Eine derartige Prozessoreinheit ist aus dem Siemens-Katalog
10 ST 54.1, Ausgabe 1994, bekannt. Das Speichermodul weist entweder einen RAM- oder einen EPROM-Baustein auf und ist zur Speicherung eines Steuerprogramms zur Steuerung eines technischen Prozesses vorgesehen. Ein Anwender erstellt mit einem Programmiergerät nach Maßgabe einer zu lösenden Steuerungsaufgabe das Steuerprogramm, welches, für den Fall, daß das
15 Speichermodul mit einem RAM-Baustein bestückt ist, direkt in das in die Prozessoreinheit gesteckte Speichermodul eingegeben wird (on-line-Programmierung). Ist dagegen das Speichermodul mit einem EPROM-Baustein bestückt, programmiert der
20 Anwender zunächst das in das Programmiergerät gesteckte Speichermodul und steckt anschließend das Modul in die Prozessoreinheit (off-line-Programmierung). Zu Beginn des Steuerbetriebs überträgt der Prozessor das Steuerprogramm vom Speichermodul in einen RAM-Arbeitsspeicher der Prozessoreinheit,
25 auf welchen der Prozessor während des Steuerbetriebs lesend und schreibend zugreift.

Die Bestückung des Speichermoduls mit einem EPROM-Baustein hat den Vorteil, daß beim Ausfall der zur Versorgung des Speichermoduls erforderlichen Spannung das Steuerprogramm erhalten bleibt und nach der Wiederkehr dieser Versorgungsspannung nicht erneut in das Speichermodul geladen werden muß.
30 Allerdings ist es nicht möglich, weitere Software-Bausteine, z. B. Bausteine in Form von Rezeptur-Bausteinen, in das Steuerprogramm rasch einzubinden. Das Steuerprogramm muß wiederum off-line im Programmiergerät erstellt, in das EPROM
35 hinterlegt und das Speichermodul erneut in die Prozessoreinheit gesteckt werden.

Ist das Speichermodul mit einem RAM-Baustein bestückt, so ist das Steuerprogramm zwar leicht on-line änderbar, das Steuerprogramm geht aber verloren, falls die Versorgungsspannung ausfällt. Es ist erforderlich, das Steuerprogramm nach Wiederkehr der Versorgungsspannung erneut in den RAM-Baustein zu laden.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, eine Prozessoreinheit der eingangs genannten Art anzugeben, deren Speichermodul flexibler einsetzbar ist.

Diese Aufgabe wird durch eine Prozessoreinheit mit den im Anspruch 1 angegebenen Maßnahmen gelöst.

Durch die Aufteilung des Speichermoduls in einen RAM- und einen EPROM-Bereich kann ein Anwender wählen, welcher Bereich RAM- oder EPROM-Verhalten aufweisen soll. Der Anwender konfiguriert sich sein "Mischmodul" selbst; dabei ist die Aufteilung der Bereiche dynamisch änderbar.

Vorteilhaft weist das Speichermodul einen Kennspeicher auf, in welchem eine Kennung über die Aufteilung des Moduls in Bereiche hinterlegt ist und die anzeigt, wo die Grenze zwischen RAM- und EPROM-Bereich liegt. Dadurch kann das Speichermodul aus der Prozessoreinheit gezogen und in eine andere Prozessoreinheit gesteckt werden.

Das Speichermodul ist mit einem aus dem Datenbuch "Flash Memory Products", 1992/93, der Firma Advanced Micro Devices bekannten FLASH-EPROM oder einem ebenfalls an sich bekannten FRAM bestückt.

Die erfindungsgemäße Prozessoreinheit wird insbesondere in einer speicherprogrammierbaren Steuerung eingesetzt, in welcher Software-Funktionsbausteine in ein Steuerprogramm häufig eingekettet oder gelöscht werden müssen. Die Änderungen des Steuerprogramms erfolgen in der RAM-Betriebsart. Sind die Änderungen abgeschlossen, schaltet die Prozessoreinheit in die EPROM-Betriebsart, wodurch das Steuerprogramm auch nach einem Ausfall der Versorgungsspannung erhalten bleibt.

Anhand der Zeichnung, in der ein Ausführungsbeispiel der Erfindung veranschaulicht ist, werden im folgenden die Erfindung, deren Ausgestaltungen sowie Vorteile näher erläutert.

5 Es zeigen:

Figur 1 ein Blockschaltbild einer speicherprogrammierbaren Steuerung und

Figur 2a bis Figur 2h Speicheraufteilungen eines FLASH-EPROMs.

10

In Figur 1 ist mit 1 ein Programmiergerät bezeichnet, mit welchem ein Anwender in einer geeigneten Programmiersprache ein Steuerprogramm zur Lösung einer Steueraufgabe erstellt. Über Leitungen 2 überträgt das Programmiergerät 1 on-line das
15 Steuerprogramm in Form von Daten-, Adreß- und Steuerinformationen an ein in eine Prozessoreinheit 3 gestecktes, mit einem FLASH-EPROM 4 und einem Kennspeicher 5 versehenes Speichermodul 6. Die Prozessoreinheit 3 weist ferner einen Prozessor 7, einen Arbeitsspeicher 8, eine Anschaltung 9 und einen
20 internen Bus 10 auf, der die Komponenten der Prozessoreinheit 3 miteinander verbindet und über den die Komponenten Daten austauschen. Die Prozessoreinheit 3 ist über die Anschaltung 9 und einen externen Bus 11 mit Peripherieeinheiten 12 gekoppelt, z. B. Peripherieeinheiten in Form von digitalen
25 oder analogen Ein-/Ausgabeeinheiten, an welche Leitungen 13 zum Anschluß von hier nicht dargestellten Meßwertgebern geführt sind. Die Prozessoreinheit 3 und die Peripherieeinheiten 12 sind Bestandteile der speicherprogrammierbaren Steuerung.

30 Zur Verdeutlichung der Erfindung wird auf Figur 2 verwiesen, in welcher verschiedene Speicheraufteilungen des FLASH-EPROMs 4 (Figur 1) dargestellt sind. Es ist angenommen, daß das FLASH-EPROM vier Segmente 14a ... 14d aufweist (Figur 2a) und daß das FLASH-EPROM 4 byteweise beschrieben, der Inhalt des
35 FLASH-EPROMs 4 allerdings nur segmentweise gelöscht werden kann. Das FLASH-EPROM 4 ist mit fünf Software-Funktionsbausteinen a ... e eines Steuerprogramms zu belegen, die das

Programmiergerät 1 on-line zum FLASH-EPROM 4 überträgt (Figur 2b). Dazu gibt ein Anwender in das Programmiergerät 1 eine geeignete Anweisung ein, z. B. eine Anweisung "Baustein a, Baustein b, ... laden (RAM)". Diese Anweisung überträgt das

5 Programmiergerät 1 der Prozessoreinheit 3, deren Prozessor 7 den Kennspeicher 5 des Speichermoduls ausliest, um festzustellen, welcher Bereich des FLASH-EPROMs 4 in der RAM- bzw. EPROM-Betriebsart betreibbar ist. Im vorliegenden Beispiel ist das FLASH-EPROM 4 leer, wodurch alle vier Segmente 14a

10 ... 14d als RAM-Baustein genutzt werden können. Ein in einem hier nicht dargestellten ROM der Prozessoreinheit 3 hinterlegter Verwaltungsalgorithmus, den der Prozessor 7 bearbeitet, teilt den Software-Funktionsbausteinen a ... e Adressen zu, unter welchen diese Bausteine im FLASH-EPROM 4 abgespeichert werden. Um zu verhindern, daß das die Software-Funktionsbausteine a ... e umfassende Steuerprogramm durch Aus-

15 fall der Versorgungsspannung nicht verlorenght, ist es erforderlich, mit einer weiteren Anweisung, z. B. mit einer Anweisung "Datenträger ein", das FLASH-EPROM 4 in die EPROM-

20 Betriebsart zu schalten. Dabei hinterlegt der Verwaltungsalgorithmus die Software-Funktionsbausteine a ... e, ausgehend von einer Adresse 0, lückenlos in das FLASH-EPROM 4 und stellt die Grenze ein, die anzeigt, bis zu welcher Adresse das FLASH-EPROM 4 im EPROM-Modus und welcher verbleibende

25 Bereich im RAM-Modus ist. Diese Grenze hinterlegt der Prozessor 7 im Kennspeicher 5 des Speichermoduls 4.

Es ist auch möglich, die Software-Funktionsbausteine a ... e mit einer Anweisung "Baustein a, Baustein b, ... laden (EPROM)" direkt in einen EPROM-Bereich des FLASH-EPROMs 4 zu

30 hinterlegen. Der Verwaltungsalgorithmus löscht alle Segmente 14a ... 14d des FLASH-EPROMs 4 und schreibt die Software-Funktionsbausteine a ... e ab einer Adresse 0 lückenlos in das FLASH-EPROM 4 ein, wobei der Bereich ab der Adresse 0 bis zur Bereichsgrenze, die in den Kennspeicher 5 abgespeichert

35 wird, als EPROM-Bereich und der verbleibende Bereich des FLASH-EPROMs 4 als RAM-Bereich eingestellt ist.

Es ist angenommen, daß das Steuerprogramm modifiziert werden muß und die Software-Funktionsbausteine b, e durch den Software-Funktionsbaustein f zu ersetzen sind. Dies bedeutet, daß die Software-Funktionsbausteine b, e zu löschen sind (in Figur 2c durch unterbrochene Linie angedeutet) und der Software-Funktionsbaustein neu zu laden ist. Dazu gibt der Anwender zunächst die Anweisung "Datenträger aus" in das Programmiergerät 1 ein, die der Prozessoreinheit 3 übertragen und von dieser Einheit bearbeitet wird. Alle Segmente 14a ... 14d werden in den RAM-Modus versetzt, und der Inhalt des FLASH-EPROMs 4 kann geändert werden. Mit den Anweisungen "Software-Funktionsbaustein b löschen", "Software-Funktionsbaustein e löschen" und "Software-Funktionsbaustein f laden" leitet der Prozessor 7 zunächst den Löschvorgang ein (Figur 2c). Nach den eingangs gemachten Voraussetzungen ist nur ein segmentweises Löschen möglich, wodurch die Verwaltungssoftware zunächst lediglich Zugriffe auf die Software-Funktionsbausteine b, e sperrt, diese aber nicht löscht, da beim Löschen auch Teile der Software-Funktionsbausteine a, c im Segment 14a und Teile der Software-Funktionsbausteine c, d im Segment 14b gelöscht werden würden. Anschließend hinterlegt der Prozessor den Software-Funktionsbaustein f ab der Grenze in das FLASH-EPROM 4 (Figur 2d) und leitet einen Komprimierungsvorgang ein, um "Lücken" im FLASH-EPROM zu beseitigen. Dabei kopiert der Prozessor 7 die Software-Funktionsbausteine d, f in das Segment 14d (in Figur 2e mit d:, f: gekennzeichnet) und löscht anschließend das Segment 14c, wodurch Teile des Software-Funktionsbausteins e und der Software-Funktionsbaustein f vollständig gelöscht werden (Figur 2f). Im nächsten Schritt kopiert der Prozessor 7 den Software-Funktionsbaustein a in das Segment 14c und Teile des Software-Funktionsbausteins c in das Segment 14c und 14d (in Figur 2g mit a:, c: gekennzeichnet) und löscht die Segmente 14a, 14b. Der Komprimierungsvorgang ist damit abgeschlossen. Mit der Anweisung "Datenträger ein" schaltet das FLASH-EPROM 4 wiederum in die EPROM-Betriebsart, und der Prozessor 7 legt die eingeketteten Software-Funktionsbausteine a ... e in den Bereich ab der

Adresse 0 lückenlos ab (Figur 2h Software-Funktionsbausteine a ... e). Ferner schreibt der Prozessor 7 in den Kennspeicher 5 des Speichermoduls 4 die Grenze ein, die wiederum anzeigt, bis zu welcher Adresse das FLASH-EPROM 4 im EPROM-Modus und
5 welcher verbleibende Bereich im RAM-Modus betreibbar ist.

Patentansprüche

1. Prozessoreinheit mit einem Prozessor (7) und einem in die
Prozessoreinheit steckbaren Speichermodul (6),
5 dadurch gekennzeichnet,
 - daß das Speichermodul (6) in zwei Bereiche einteilbar ist,
von denen ein Bereich in einer EPROM-Betriebsart und der
andere Bereich in einer RAM-Betriebsart betreibbar ist, und
 - daß die Prozessoreinheit (3) mit Mitteln versehen ist,
10 welche nach Maßgabe von der Prozessoreinheit (3) zuführ-
baren Anweisungen die Grenze zwischen den Bereichen auto-
matisch einstellen.
2. Prozessoreinheit nach Anspruch 1, dadurch gekenn-
15 zeichnet, daß das Speichermodul (6) einen Kennspeicher
(5) aufweist, in welchem eine Kennung über die Aufteilung des
Moduls (6) in Bereiche hinterlegt ist.
3. Prozessoreinheit nach Anspruch 1 oder 2, dadurch ge-
20 kennzeichnet, daß das Speichermodul (6) ein FLASH-
EPROM (4) aufweist.
4. Prozessoreinheit nach Anspruch 1 oder 2, dadurch ge-
kennzeichnet, daß das Speichermodul (6) ein FRAM auf-
25 weist.
5. Speicherprogrammierbare Steuerung mit einer Prozessor-
einheit (3) nach einem der Ansprüche 1 bis 4, wobei
 - ein auf einem Programmiergerät (1) erstelltes Steuer-
30 programm im Speichermodul (6) hinterlegt ist,
 - zu Beginn des Steuerbetriebs der Prozessor (7) das Steuer-
programm in einen Arbeitsspeicher (8) der Prozessoreinheit
(3) überträgt und
 - während des Steuerbetriebs der Prozessor (7) auf den Ar-
35 beitsspeicher (8) zugreift.

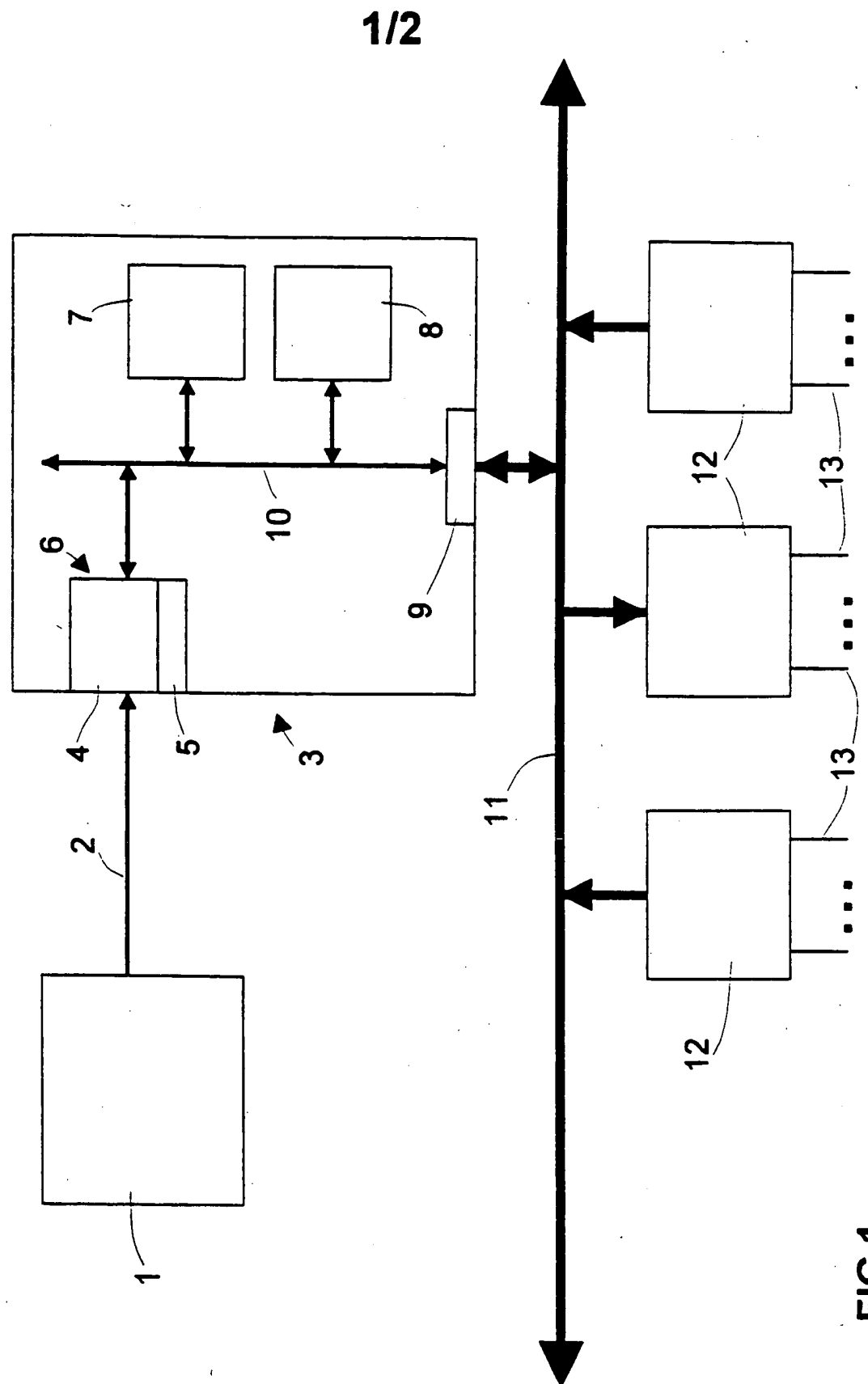


FIG 1

2/2

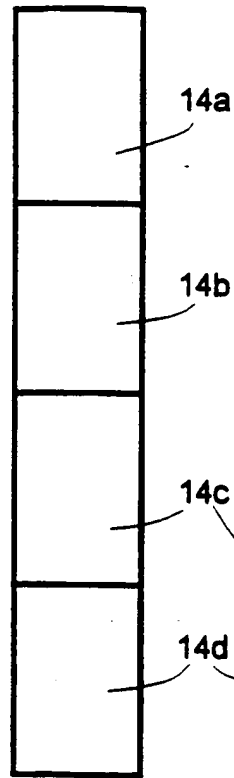


FIG 2a

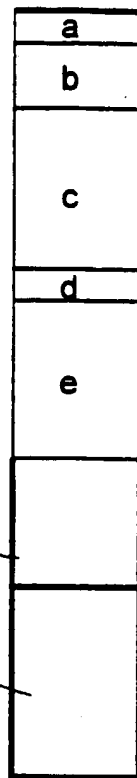


FIG 2b

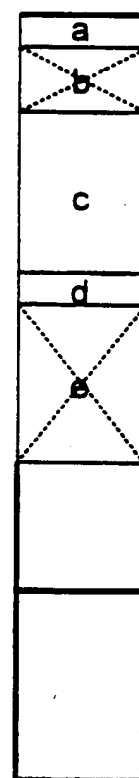


FIG 2c

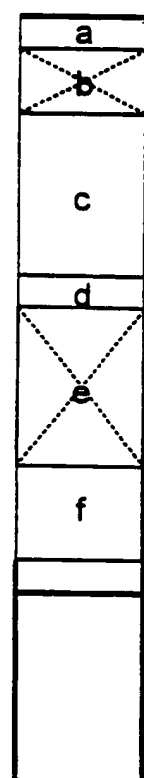


FIG 2d

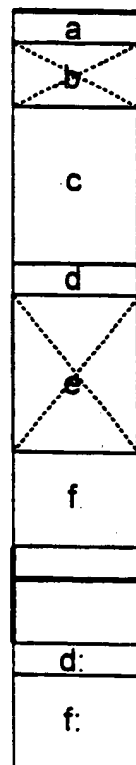


FIG 2e

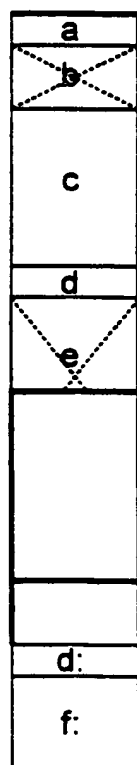


FIG 2f

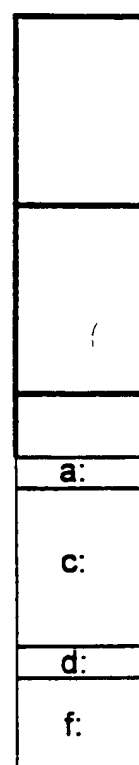


FIG 2g

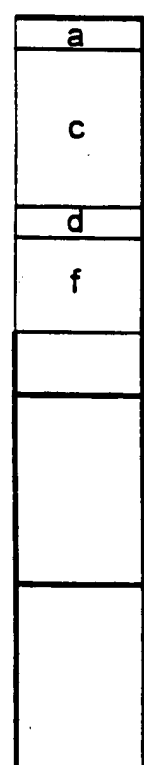


FIG 2h

INTERNATIONAL SEARCH REPORT

Int'l. Application No.
PCT/DE 96/01541

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 G06F12/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 6 G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	<p>COMPUTER TECHNOLOGY REVIEW, 21 December 1994, page 84, 86, 88 XP000429678 FRIEDMANN A: "BLOCK FLASH FILE SYSTEMS DELIVER MASS STORAGE FOR MOBILE COMPUTING" see page 84, left-hand column, line 21 - right-hand column, last line see page 86, left-hand column, line 1 - right-hand column, line 20; figures 1-3 see page 88, middle column, line 6 - right-hand column, line 4 --- -/--</p>	1-5

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- * & * document member of the same patent family

Date of the actual completion of the international search

28 November 1996

Date of mailing of the international search report

1 Q. 12. 96

Name and mailing address of the ISA
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (-31-70) 340-3016

Authorized officer

Ledrut, P

INTERNATIONAL SEARCH REPORT

Int ional Application No

PCT/DE 96/01541

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JOURNAL OF PARALLEL AND DISTRIBUTED COMPUTING, vol. 20, no. 2, 1 February 1994, pages 176-186, XP000432476 WEEMEEUW P ET AL: "A FINE-GRAINED PARALLEL MEMORY COMPACTION ALGORITHM" see page 176, left-hand column, paragraph 1 see page 177, left-hand column, paragraph 3 - right-hand column, paragraph 3; figure 1 ---	1,5
A	WO,A,94 20906 (SYSTEMS LTD M ;SYSTEMS INC M (US)) 15 September 1994 see page 5, line 23 - page 7, line 14 see page 9, line 27 - page 10, line 21; figures 1-3,7 ---	1-5
A	WO,A,95 10083 (CIRRUS LOGIC INC) 13 April 1995 see page 5, line 21 - page 7, line 37 see page 10, line 13 - line 26; figures 1-3 -----	1-3,5

INTERNATIONAL SEARCH REPORT

Int. Application No
PCT/DE 96/01541

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
W0-A-9420906	15-09-94	US-A- 5404485	04-04-95
		AU-A- 6269994	26-09-94
		CN-A- 1098526	08-02-95
		EP-A- 0688450	27-12-95
		FI-A- 954235	08-11-95
		JP-T- 8510072	22-10-96
		ZA-A- 9401446	26-09-94

W0-A-9510083	13-04-95	US-A- 5485595	16-01-96
		EP-A- 0722585	24-07-96

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 96/01541

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 6 G06F12/02

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 6 G06F

Recherchierte aber nicht zum Mindestprüfstoff gehorende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	<p>COMPUTER TECHNOLOGY REVIEW, 21.Dezember 1994, Seite 84, 86, 88 XP000429678 FRIEDMANN A: "BLOCK FLASH FILE SYSTEMS DELIVER MASS STORAGE FOR MOBILE COMPUTING" siehe Seite 84, linke Spalte, Zeile 21 - rechte Spalte, letzte Zeile siehe Seite 86, linke Spalte, Zeile 1 - rechte Spalte, Zeile 20; Abbildungen 1-3 siehe Seite 88, mittlere Spalte, Zeile 6 - rechte Spalte, Zeile 4</p> <p style="text-align: center;">---</p> <p style="text-align: center;">-/--</p>	1-5

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderscher Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderscher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

28. November 1996

Absenddatum des internationalen Recherchenberichts

10.12.96

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+31-70) 340-3016

Bevollmächtigter Bediensteter

Ledrut, P

INTERNATIONALER RECHERCHENBERICHT

Inter: males Aktenzeichen
PCT/DE 96/01541

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	JOURNAL OF PARALLEL AND DISTRIBUTED COMPUTING, Bd. 20, Nr. 2, 1.Februar 1994, Seiten 176-186, XP000432476 WEEMEEUW P ET AL: "A FINE-GRAINED PARALLEL MEMORY COMPACTION ALGORITHM" siehe Seite 176, linke Spalte, Absatz 1 siehe Seite 177, linke Spalte, Absatz 3 - rechte Spalte, Absatz 3; Abbildung 1 ---	1,5
A	WO,A,94 20906 (SYSTEMS LTD M ;SYSTEMS INC M (US)) 15.September 1994 siehe Seite 5, Zeile 23 - Seite 7, Zeile 14 siehe Seite 9, Zeile 27 - Seite 10, Zeile 21; Abbildungen 1-3,7 ---	1-5
A	WO,A,95 10083 (CIRRUS LOGIC INC) 13.April 1995 siehe Seite 5, Zeile 21 - Seite 7, Zeile 37 siehe Seite 10, Zeile 13 - Zeile 26; Abbildungen 1-3 -----	1-3,5

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 96/01541

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
WO-A-9420906	15-09-94	US-A- 5404485	04-04-95
		AU-A- 6269994	26-09-94
		CN-A- 1098526	08-02-95
		EP-A- 0688450	27-12-95
		FI-A- 954235	08-11-95
		JP-T- 8510072	22-10-96
		ZA-A- 9401446	26-09-94

WO-A-9510083	13-04-95	US-A- 5485595	16-01-96
		EP-A- 0722585	24-07-96
